

VFD36 段显示驱动集成电路 – STF16360

概述

STF16360 是一种负电源型 VFD 显示驱动的 CMOS 集成电路，采用 36 位并行输出，使用灵活，通用性强。通常用于 VFD 显示系统中 CPU 与 VFD 之间的接口电路的并行输出，以驱动各类动态、静态 VFD 显示屏以及功放的中文屏；广泛使用在各类家电、IT、音响等产品上。

特点

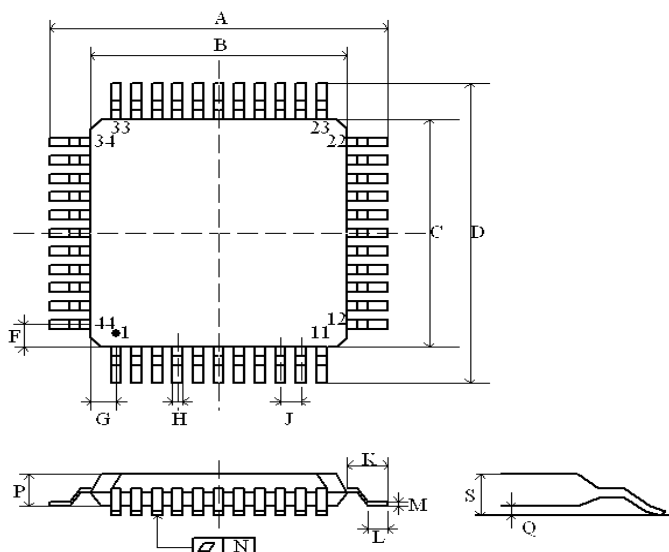
1. 电路外围元件少、使用简单；性能价格比较高。
2. 双电源供电， $V_{DD}=5v$ 、 $V_{SS}=0v$ 、 $V_{disp}=-30v$ 。
3. 串行输入。
4. 36 位并行输出。
5. 并行输出端采用高压结构，可直接驱动 VFD。
6. 串行输出端，以便扩展使用，增强其通用性。
7. 采用外接时钟、清零端、输出控制，以便使用中与 CPU 相匹配。
8. 采用 IT 行业流行的 QFP—44 封装。

产品外型

1. STF16360 采用 QFP—44 塑封结构的外形数据

标注号	尺寸 (mm)	标注号	尺寸 (mm)
A	13.6 ± 0.4	J	0.8 (T.P.)
B	10.0 ± 0.2	K	1.8 ± 0.2
C	10.0 ± 0.2	L	0.8 ± 0.2
D	13.6 ± 0.4	M	0.15 ± 0.05
F	1.0	N	0.12
G	1.0	P	2.7
H	0.35 ± 0.10	Q	0.1 ± 0.1
I	0.15	S	3.0MAX

2. STF16360 采用 QFP—44 塑封结构的外形图：



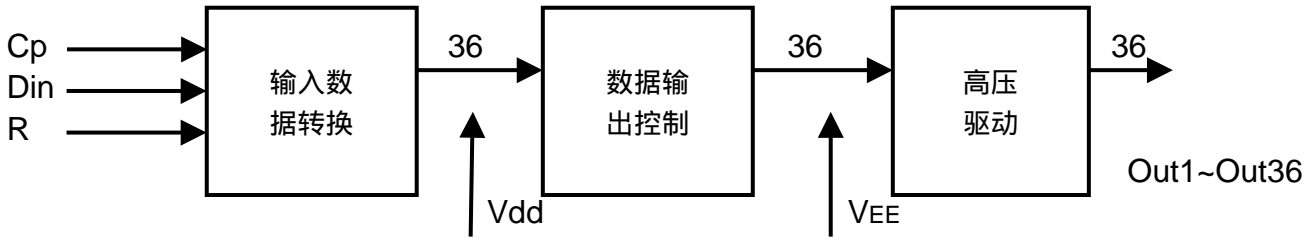
VFD36 段显示驱动集成电路 – STF16360

功能说明

输入数据转换部分由 36 个带复位端的基本触发器组成，主要完成串行输入/并行输出转换功能，外接的复位端可以保证使用中与 CPU 同步清零。数据输出控制部分为带使能端的控制器。根据不同的 VFD 屏，通过调节 EN 与 CP 的关系来控制数据的输出时间，即可以实现任意位的并行输出（即电路可以扩展）。使用中要严格控制 EN 与 CP 的关系。

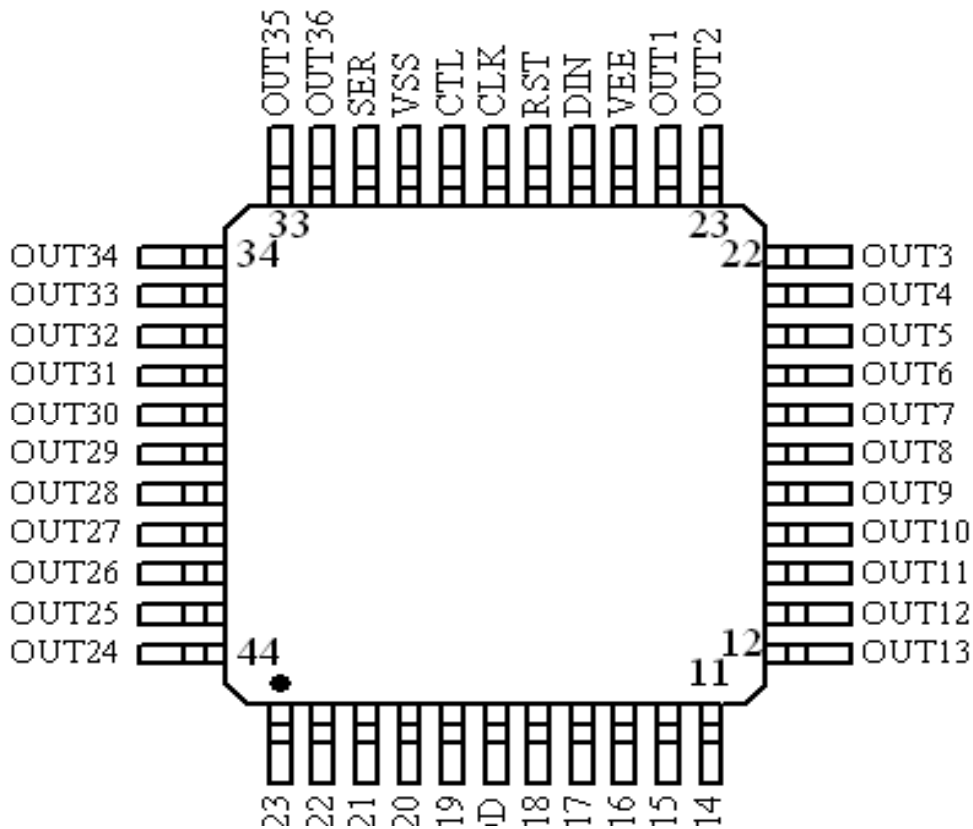
功能框图

该电路由三部分组成，即：输入数据转换部分、数据输出控制部分、以及高压驱动部分。



管脚排列与说明

1. STF16360 的管脚排列图



VFD36 段显示驱动集成电路 – STF16360

2. STF16360 的管脚说明

符号	引脚名	I/O	脚号	功能
CLK(Cp)	输入时钟	I	28	下降沿时输入串行数据，上升沿时输出串行数据
DIN	串行数据输入端	I	26	时钟下降沿时输入串行数据
CTL(En)	数据输出控制端	I	29	低电平有效，允许并行数据输出。低电平宽度不超过一个时钟周期，其下降沿要在时钟上升沿之后，上升沿要在时钟下降沿之前。使用中通过控制 En 有效信号输入时间及扩展使用来实现多种并行输出
OUT1~36	并行数据输出	O	1~5 7~24 32~44	在 En 为低电平时，并行数据输出
VDD	逻辑电源		6	5V
VEE	VFD 驱动高压	I	25	电压值可达-30V
SER	串行数据输出	O	31	时钟上升沿时输出串行数据
Rst	清零信号	I	27	低电平有效
Vss	逻辑地		30	与系统地相连

极限参数

1. 工作条件：(Ta=-20 ~+70 ,Vss=0V)

名称	符号	最小值	典型值	最大值	单位
工作电压	VDD	4.5	5	5.5	V
高电平输入电压	VIH	0.7VDD	—	VDD	V
低电平输入电压	VIL	0	—	0.3VDD	V
驱动工作电压	VE	0	—	VDD-35	V

2. 极限工作范围 (Ta=25 ,Vss=0V)

名称	符号	范围	单位
电源电压	VDD	-0.5~7.0	V
驱动工作电压	VE	VDD+0.5~VDD-40	V
逻辑输入电压	Vin	-0.5~VDD+0.5	V
FIP 驱动输出电压	VO2	VEE-0.5~VDD+0.5	V
FIP 驱动输出电流	IO2	-5	mA
消耗功率	PD	1200	mW
工作温度	TOPT	-20~+70	
贮存温度	TST	65~+150	

3. 电特性：

工作状态：(Ta=-20 ~+70 , VDD=4.5V~5.5V,Vss=0V,VE=VDD-35V)

VFD36 段显示驱动集成电路 – STF16360

名称	符号	最小值	典型值	最大值	单位	测试条件
高电平输出电压	VOH1	0.9VDD			V	
低电平输出电压	VOL1			1	V	
低电平输出电压	VOL2			0.4	V	
高电平输出电流	IOH2L	-3			mA	Vo=VDD-2V
驱动漏电流	IOLEAK			-10	uA	Vo=VDD-35V,驱动器关闭
输出下拉电阻	RL	50	100	150	k	驱动器输出
输入电流	IL			1	uA	VL=VDD 或 Vss
高电平输入电压	VIH	0.7VDD			V	
低电平输入电压	VIL			0.3VDD	V	
滞电电压	VH		0.35		V	Cp, Din
静态电流消耗	IDDdyn			5	mA	无负载时,无显示

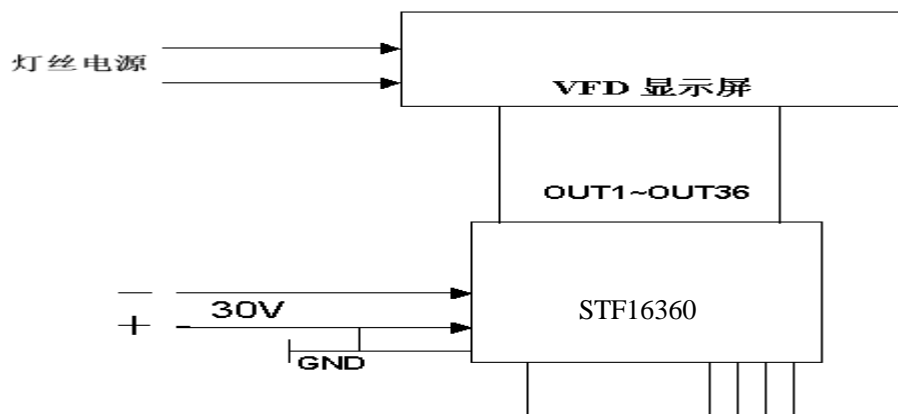
4. 开关特性 (Ta=-20 ~+70 , VDD=4.5V~5.5V,VEE=-30V)

名称	符号	最小值	典型值	最大值	单位	测试条件
保持延迟	TPLZ			300	ns	Cp Dout CL=15pF, RL=10K
	TPZL			100	ns	
下降时间	TTHZ			120	us	CL=300pF
最大时钟频率	Fmax	1			MHz	占空比=50%
输入电容	CL			15	pF	

5. 时序条件 (Ta=-20 ~+70 , VDD=4.5V~5.5V)

参数	符号	最小值	典型值	最大值	单位	测试条件
时钟脉冲宽度	PWcp	400			ns	
数据设置时间	TsETUP	100			ns	
数据保持时间	THOLD	100			ns	
等待时间	twAIT	1			us	Cp Cp

应用线路示意图



VFD36 段显示驱动集成电路 – STF16360

时序图

